

PAT-NO: JP401108008A
DOCUMENT-IDENTIFIER: JP 01108008 A
TITLE: CUTTING OF SEMICONDUCTING WAFERS
PUBN-DATE: April 25, 1989

INVENTOR-INFORMATION:

NAME

FUJIMOTO, HIROAKI

HATADA, KENZO

TAKEBASHI, NOBUTOSHI

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP62266762

APPL-DATE: October 21, 1987

INT-CL (IPC): B28D005/00, H01L021/78

US-CL-CURRENT: 125/23.01

ABSTRACT:

PURPOSE: To improve a productivity and make a cost-saving by piling up and fixing a plurality of semiconducting wafers, forming cut grooves from the uppermost section to the lowermost section and cutting a plurality of semiconducting wafers at the same time.

CONSTITUTION: Semiconducting wafers 1 are piled up and fixed by using adhesive tapes 2. In this case, the cutting lines of each semiconducting wafers 1 are maintained to be aligned each other. Then, by forming cut grooves from the uppermost semiconducting wafer 1 to the lowermost one 1 with a diamond whetstone or a laser, semiconducting chips 4 are obtained. After

cutting, the
semiconducting chips 4 are taken out by stretching the lowermost
adhesive tape
2, and widening the interval between the semiconducting chips 4 and
the
semiconducting chips 4 are put to use from one which is cut out from
the
lowermost semiconducting wafer 1. The adhesive tapes 2 remaining on
the
surface of the second lower and third lower semiconducting chips 4
are removed
by using other highly adhesive tapes and peeling.

COPYRIGHT: (C)1989,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-108008

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)4月25日

B 28 D 5/00
H 01 L 21/78

Z-7366-3C
Q-8831-5F

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 半導体ウェハの切断方法

⑯ 特 願 昭62-266762

⑰ 出 願 昭62(1987)10月21日

⑱ 発 明 者	藤 本	博 昭	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	畑 田	賢 造	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	竹 橋	信 逸	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社			大阪府門真市大字門真1006番地
⑳ 代 理 人	弁理士 中尾 敏男			外1名

明 細 書

1. 発明の名称

半導体ウェハの切断方法

2. 特許請求の範囲

(1) 複数枚の半導体ウェハを重ねて固定し、最上部の半導体ウェハから最下部の半導体ウェハに至る切断溝を形成することにより、前記複数枚の半導体ウェハを同時に切断するようにした半導体ウェハの切断方法。

(2) 複数枚の半導体ウェハを接着剤あるいは粘着テープにより固定した特許請求の範囲第1項記載の半導体ウェハの切断方法。

(3) 切断溝を砥石あるいはレーザーにより形成した特許請求の範囲第2項記載の半導体ウェハの切断方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体ウェハの切断方法に関するもの

である。
従来の技術

従来の技術を第2図とともに説明する。従来の技術としては、スクライプ法と、砥石によるダイシング法があるが、ここではダイシング法について説明する。まず、第2図(a)に示すように、半導体ウェハ21を粘着テープ22にはり付ける。その後、第2図(b)に示すようにダイシングソーにより、切断溝23を形成し、最後に、第2図(c)に示すように、粘着テープ22を引き伸ばし、半導体チップ24を得るものである。

発明が解決しようとする問題点

前記従来例では、半導体ウェハを1枚づつしか処理できず非常に長い時間を要するため、次に示す問題点がある。

(1) 特に大口径の半導体ウェハにおいては、拡散工程、エッチング工程等他の工程との時間に関するアンバランスが生じその結果、切断装置を多数必要とする。

(2) 上記の理由により非常にコストの高いものとなる。

本発明は、半導体ウェハの切断工程の生産性を

高め低コスト化を図るものである。

問題点を解決するための手段

本発明は、前記問題点を解決するために、半導体ウェハを複数枚重ねて同時に切断するものである。

作用

半導体ウェハを複数枚重ねて同時に切断することで、生産性を高め、低コスト化を図ることができる。

実施例

本発明の一実施例を第1図と共に説明する。

まず、第1図(a)に示すように、半導体ウェハ1を、粘着テープ2を用いて重ねて固定する。この時、各々の半導体ウェハ1の切断ラインは、一致させておく。半導体ウェハ1の位置合わせは、パターン認識を用いることにより、精度よく容易に実施できる。次に第1図(b)に示すように、ダイヤモンド砥石あるいは、レーザーにより、最上部の半導体ウェハ1から最下部の半導体ウェハ1に至る、切断溝3を形成し、半導体チップ4を得る。

常にコストの安い、半導体を得ることができる。

4、図面の簡単な説明

第1図は、本発明の一実施例方法の工程別断面図、第2図は従来方法の工程断面図である。

1……半導体ウェハ、2……粘着テープ、3……切断溝、4……半導体チップ。

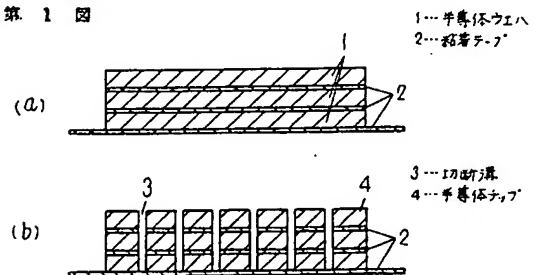
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

切断溝3の巾は10～50 μ m程度であり、切断溝3の形成スピードは、50～200mm/sec程度である。切断後の半導体チップ4の取り出しは、最下部の粘着テープ2を引き伸ばし、半導体チップ4の間隔を広げた後、最上部の半導体ウェハ1より切り出した半導体チップ4から使用する。粘着テープ1の粘着力は非常に弱いので、真空コレット等で容易に半導体チップ4を取り出すことができる。表面から2枚目および3枚目の半導体ウェハ1から切り出した半導体チップ4の表面に残った粘着テープ2は、強い粘着力をもつ他の粘着テープを粘着し、その後、180度ピーリングすることにより、半導体チップ4上の粘着テープ2は容易に除去することができる。本実施例では、半導体ウェハの固定に粘着テープを用いたが、これに限らず、接着剤やワックス等でもかまわない。

発明の効果

以上述べたように本発明では、複数枚の半導体ウェハを同時に切断できるため、生産性が飛躍的に向上し、大口径の半導体ウェハにおいても、非

第1図



第2図

